

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **58-190064**

(43)Date of publication of application : **05.11.1983**

---

(51)Int.CI.

**H01L 29/78**

**H01L 21/88**

**H01L 23/30**

**H01L 27/10**

---

(21)Application number : **57-071232**

(71)Applicant :

**HITACHI LTD**

(22)Date of filing : **30.04.1982**

(72)Inventor :

**SAWASE TERUMI  
NAKAMURA HIDEO**

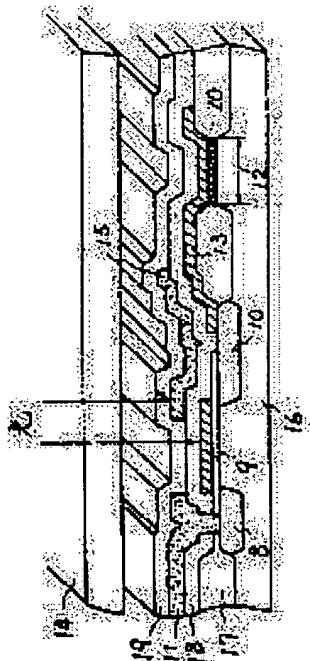
---

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

**PURPOSE:** To prevent the light incidence into the region of diffused layers and thus contrive to improve the leakage characteristic of P-N junction, by forming Al over the diffused layers of a MOSFET.

**CONSTITUTION:** In the MOSFET consisting of a source diffused layer 8, a gate 9, and a source diffused layer 10, a light shielding Al 15 formed simultaneously with a wiring Al 11 is connected to fixed potentials such as a power source and arranged over the source diffused layer 10 contributed to store and retain charges. Since the light incident through a transparent package 14 reflects on the surface of the Al layer 15 after passing through a transparent protection film 19, the light incidence into the P-N junction constituted of the layer 10 and a substrate 16 is prevented, and accordingly the increase of leakage current at the junction of 10-16 is prevented. Further, the capacity of the diffused layer 10 is increased in total capacity to store and retain because of the addition of the capacity for the Al 15.



**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)  
 ⑩ 公開特許公報 (A)

⑪ 特許出願公開  
 昭58—190064

⑫ Int. Cl.<sup>3</sup>  
 H 01 L 29/78  
 21/88  
 23/30  
 27/10

識別記号

府内整理番号  
 7514—5F  
 6810—5F  
 7738—5F  
 6665—5F

⑬ 公開 昭和58年(1983)11月5日  
 発明の数 1  
 審査請求 未請求

(全3頁)

⑤ 半導体集積回路

⑥ 特願 昭57—71232  
 ⑦ 出願 昭57(1982)4月30日  
 ⑧ 発明者 沢瀬照美  
 国分寺市東恋ヶ窓1丁目280番  
 地株式会社日立製作所中央研究  
 所内

⑨ 発明者 中村英夫

国分寺市東恋ヶ窓1丁目280番  
 地株式会社日立製作所中央研究  
 所内

⑩ 出願人 株式会社日立製作所  
 東京都千代田区丸の内1丁目5  
 番1号  
 ⑪ 代理人 弁理士 薄田利幸

明細書

説明の名称 半導体集積回路

特許請求の範囲

1. 素子 (MOSFETなど) 上にAと(アルミニウム)層を形成し、光の入射を防止したことを特徴とする半導体集積回路。
2. P-N接合上に電位を固定したA層を形成し、光の入射を防止したことを特徴とする第1項の半導体集積回路。
3. P-N接合上にソースまたはドレインとなる拡散層を接続したA層を形成し、光の入射を防止したことを特徴とする第1項の半導体集積回路。

発明の詳細な説明

本発明はEPROMオンチップLSIに係り、特にP-N接合への光の入射によるリーク特性を改善するのに好適なLSIの形成法に関する。

MOSFETはデータのオフ状態のインピーダンスが高いことから、第1図に示すような、配線上の容量をメモリ素子とする回路が従来からよく

使用されている。しかし、紫外線等で消去できるメモリ(以下EPROM)を内蔵するLSIチップにおいては、LSI表面が外光にさらされるために、MOSFETの拡散層と基板との間の接合面で多量のリーク電流を発生する。このため、メモリ素子として十分な記憶保持特性を得ることができない欠点があつた。

通常のLSIのパッケージは光を完全に遮へいする構造になつておき、光の入射による特性の悪化はなかつた。EPROMオンチップLSIにおいては、EPROMのデータ消去は紫外線でおこなうため、パッケージ上部は透明物質でおおわれておき、特性能化を防止するためにはチップを部分的に光から遮へいする必要がある。

本発明の目的はMOSFETの拡散層頂部への光の入射を防止し、P-N接合のリーク特性を改善することにある。

このため、本発明では、情報記憶用に用いるMOSFETの拡散層の上部に金属電極を設けた。通常のLSIのパッケージは光を完全に遮へい

する構造になつてあり、光入射による特性の悪化は問題とはならなかつた。EPROMオンチップLSIにおいては光によるデータ消去の必要性上、パッケージ上部が誘導物質でおおわれており、特性悪化を防止するためにLSIチップを部分的に光から遮へいするようになつた。

以下、本発明の実施例をEPROM(EEPROM: Erasable Programmable ROM)オンチップ半導体基板回路において実施した場合について述べる。

EPROMオンチップ半導体基板回路は、EPROMに記憶されているデータを光によつて消去するため、透明パッケージに実装されている。

第1図に本実施例で述べるMOSFETで構成したラインメモリ(配線容量などにデータを記憶保持するメモリ)の回路図を示す。MOSFET1の入力電極3から入力されたデータに1がオンしている期間に1のソース抵抗層4、インバータ2の入力ゲート5、および4~5間の配線容量の総和6に伝搬され、1がオフするとデータは6に記憶保持される。しかし4と基板から成るP-N接合

(3)

入射を防ぎ、10~16の接合でのリーク電流の増加を防止することができる。

本実施例によれば、リーク特性の悪化を防ぐとともに、抵抗層10の容量は16に対する容量も付加され、記憶保持するための総容量が増えることになり、さらに記憶特性を改善する効果がある。

#### 実施例2

第3図は実施例1において、抵抗層10の上部に形成するAと15を10自身に結合して10と同電位にした場合の構造を示す。光に対する効果は実施例1と同様であるが、抵抗層10の容量は15を形成しても増加しない。従つて記憶保持するための容量は増加せず、高速動作を必要とする場合に好採用がある。

以上の二実施例はPチャンネルMOSについて示したが、NチャンネルMOSおよびそれらを組合わせた回路についても同様の効果がある。

上記実施例はラインメモリを構成する場合について述べたが、他に微小電流を扱うアナログ回路等の接合面からのリーク電流の防止方法として

合7に透明パッケージを介して光が入射すると光エネルギーにより7のリーク電流(P-N接合の逆方向電流)が増加し、6に蓄えられた電荷は徐々に失なわれることになる。

#### 実施例1

第2図は第1図の回路において本発明を実施した例のMOSFETの構造を示したものである。ドレイン抵抗層8、ゲート9、ソース抵抗層10から成るNOSFET(第1図の1)の入力電極Aと(アルミニウム)11から入力されたデータは10、インバータのゲート酸化膜20から取る入力ゲート12(第1図の5)および10~12間の配線13の容量に記憶保持される。本発明では電荷を記憶保持するために新たに形成したAと16を電源などの固定した電位に接続して配線することにより、透明パッケージ14を通して入射した光は透明な保護膜19を通過したのち、Aと層15の表面で反射するため、10と基板16から成るP-N接合(第1図の7)への光の

(4)

も有効である。

本発明によれば、P-N接合への光の入射を遮断できるので、光によるP-N接合の逆方向電流の増加を防止する効果がある。

光の遮断面となるアルミ層15は從来のMOSFET形成における配線用のアルミ層11の形成と同時に行なうことができ、プロセスの増加を必要としない。またアルミ層15は抵抗層10に重なる形に形成するために、LSI形成上、面積の増加等の問題は生じない。

#### 図面の簡単な説明

第1図は配線容量を記憶素子として用いるメモリ(ライン・メモリ)の回路図である。

第2図はAとを固定電位にした場合の第1図の回路のMOSFET構造である。

第3図はAとを抵抗層に結合した場合の第1図の回路のMOSFET構造である。

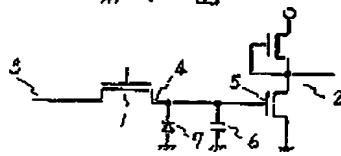
1…入力MOSFET、2…インバータ、3…入力電極、4…ソース電極、5…入力ゲート、6…配線容量、7…P-N接合、8…ドレイン抵抗層、

(5)

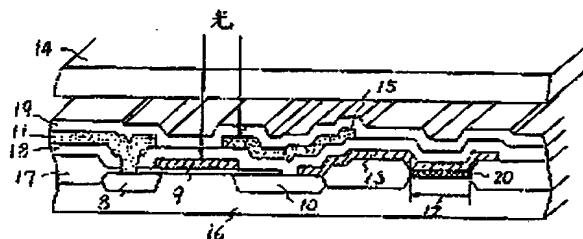
9…ゲート電極、10…ソース極散場、11…入力&電極、12…インパートの入力ゲート、  
13…入力MOSFETとインパート間の配線、  
14…透明パッケージ、15…光遮へい用膜、  
16…基板、17…酸化膜、18…透明絕縁膜、  
19…透明保護膜、20…ゲート酸化膜。

代理人弁理士 海田利季  
監査士

第1図



第2図



第3図

